Lundi 29 Avril 2019

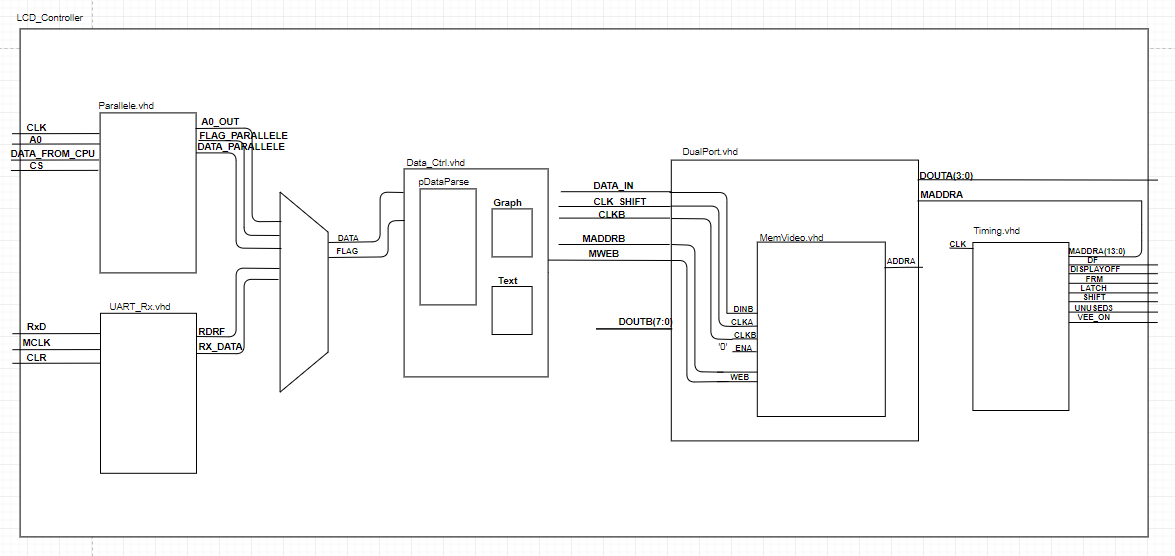
Aujourd’hui nous allons compiler

Dimanche le 28 Avril 2019

Nous avons terminé le fichier top VHDL, cependant il ne compile pas puisque l’entité n’a pas été fait donc les «net names » ne peuvent pas se connecter comme par magie. Lundi en commençant, il faudra faire l’entité du top pour pouvoir brancher nos signaux et compiler le design. Ensuite il faudra revérifier le module UART s’il fonctionne comme on le pense. Nous avons compris que si nous avons plusieurs modules nous ne pouvons seulement brancher nos pins entre elles puisqu’elle ne pourront qu’avoir d’interaction avec un seul module. Donc nous avons créé tous les signaux nécessaires, et dans notre design draw.io nous allons les changer de couleurs.

Vendredi 26 Avril 2019

Nous avons implémenté dans notre schéma représentant le code vhdl un multiplexeur de communication et les modes texte et de graphique dans notre module «data control».



Jeudi le 25 Avril 2019

Aujourd’hui on implémente le module « Data Control » dans notre design.

Mercredi le 24 avril 2019

Aujourd’hui, nous avons avancé le code vhdl du projet et nous avons dû refaire le schéma du projet, puisqu’il ne tenait pas compte d’un module et `la compilation certains signaux étaient retirés du « design ». Les nouveaux schémas sont fait sur draw.io et ajoute le module «Data\_Control» qui nous permet de prendre une donnée d’un composant de communication.

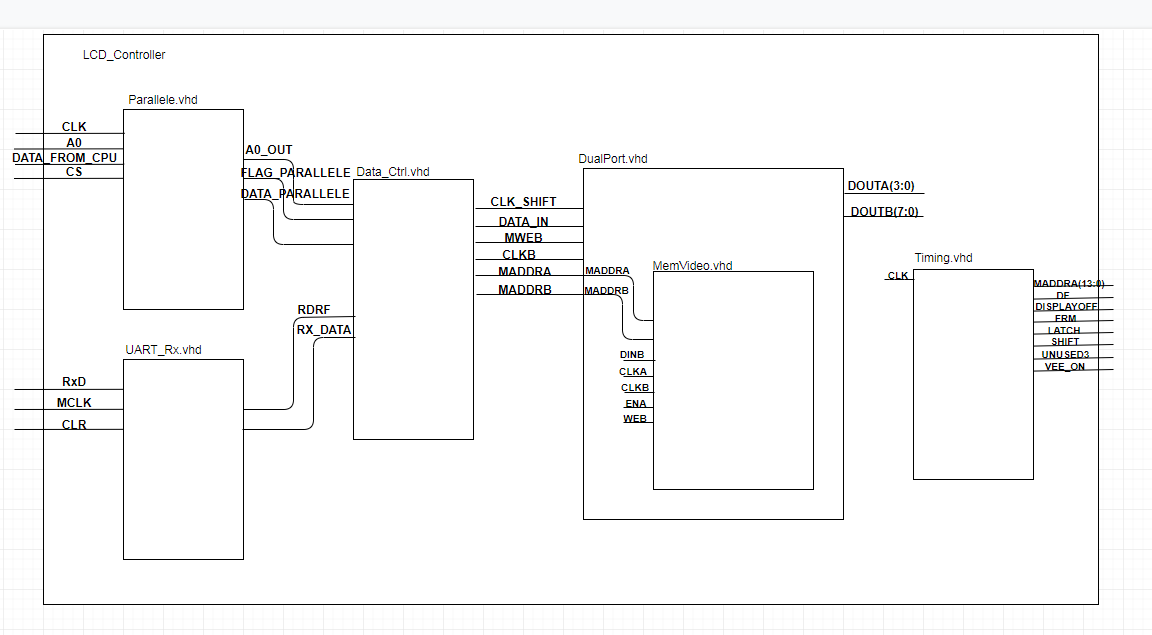


Figure 1- LCD Controller 24-04-2019

Demain, j’aimerais être en mesure de simuler mon projet de sorte que vendredi nous pourrions tester les deux ensembles. Il faudra commencer à penser à faire notre outil pour générer des tableaux avec une image .bmp.

Mardi le 23 Avril 2019

Comme le lundi le 22 Avril était une journée fériée, nous commençons notre semaine le mardi. Notre but cette semaine serait d’avoir un port parallèle fonctionnel. Tant en VHDL qu’en C. Les schémas sont plutôt clair et semble fonctionner en RTL.

Mercredi 17 Avril 2019

Nous avons décidé de faire notre module esclave I²C. Pour ce faire, nous avons analyser les « timing diagrams » du bus I²C. Nous avons donc déduit que pour un START Condition, il faut avoir un front descendant sur SDA pendant que SCL est à un niveau haut. Pour un STOP Condition, il faut avoir un front montant sur SDA pendant que SCL est à un niveau haut. Pour un REPEATED START il faut avoir un front descendant sur SDA pendant que SCL est à un niveau haut. Cependant il doit être placé à la place d’un STOP Condition sinon il est juste un START. Pour un ACK il faut avoir SDA à un niveau bas et sur un front de monté de SCL, tandis que pour le NACK, il faut avoir un front de monté sur SCL et un niveau haut sur SDA.

Lundi 1er Avril 2019

Nous avons débuter notre journée avec un « design review » avec Yves et nous n’avions pas de changements majeurs à apporter dans nos schémas. Pascal fait les modifications nécessaires avant de passer au CAD.

Pour cette semaine on voudrait être en mesure de mettre une image à partir de la carte de développement DALLAS. Pour ce faire, nous devons donc coder le module de communication parallèle.

Jeudi 28 Mars 2019

Les schémas sont presque terminés, il manque seulement les banques du FPGA. Nous allons sûrement pouvoir commencer le Layout. Pour le FPGA, nous dû trouver comment faire une pièce composée de plusieurs parties. Heureusement, dans la librairie Octopart il y avait la pièce.

Le pavé tactile sera probablement pas intégré au projet, puisque n’apporte rien en terme de « plus value ».

**Port parallèle :**

Le protocole de communication commence à presser, il faudra déterminer la taille de la trame, les adresses, la gestion d’erreurs ainsi que la base de temps pour transmettre les données.

**Port série et I²C :**

Il faut déterminer le protocole… Il devrait ressembler à celui du port parallèle sans les adresses.

**Board de test :**

Nous avons réussi à faire démarrer la carte de test et d’y afficher des lignes. Youpi!!!

N.B. : Le fichier de test VHDL pour l’écran de test est dans le C:\\ Travail\ projet Hiver 2019, ne pas oublier de le téléverser dans le dossier Google à chaque fin de journée.

Mardi 26 Mars 2019

* Nous avons decidé de migrer vers CircuitMaker depuis OrCad Capture

Vendredi 22 Mars 2019

* Le calcul fait par les étudiants de 2011 est une aberration mathématique en ce qui concerne la division de la clock : 100Mhz/74/2 = 675,675Khz et non 672Khz;
* Le VHDL est écrit pour tester le board.. Voir avec Dan
* Nous cherchons si nous pouvons enlever des condensateurs sur l’alimentation du FPGA

Jeudi, 21 Mars 2019

* Les condensateurs en céramique utilisés dans le schéma sont favorisés plutôt que les condensateurs électrolytiques. La raison est simple : la fréquence de « clamping » de notre « step up » est de 1.5 Mhz ce qui est trop élevé pour avoir quelques résultats que ce soit avec un condensateur électrolytique ou un tantale.
* Ajustement des alimentations (nouvelles pièces non obsolète)
* Question pour Étienne : Comment choisir la bonne ferrite bead (impédance, réponse en fréquence, etc) – Réponse : Non en bas de 100Mhz ça travaille pas!
* D’ici deux semaines : Avoir mis en marche le board de test;
* Commencement du code de test pour le VHDL;

Mercredi, 20 Mars 2019

* Modification des schémas le « step-up » était obsolete changer le Max 686 pour AP3012;
* Création d’une liste de pièce;
* Commencement schéma FPGA;